

Calcolatori Elettronici L A

Richiami e complementi alle nozioni studiate nel corso
“Reti Logiche”

Complementi rl 1

Sottrazione fra numeri naturali

- Sottrazione fra due numeri da un bit

$0 - 0 = 0$; $1 - 0 = 1$; $1 - 1 = 0$; $0 - 1$: *quantità non rappresentabile.*

- Sottrazione “colonna per colonna” fra due numeri da n bit

$$D = A - B \quad (A \geq B)$$

$$\begin{array}{r}
 \boxed{p_{n-1}} \cdots \boxed{p_i} \cdots \boxed{p_1} \boxed{0} \\
 \boxed{a_{n-1}} \cdots \boxed{a_i} \cdots \boxed{a_1} \boxed{a_0} \\
 \boxed{b_{n-1}} \cdots \boxed{b_i} \cdots \boxed{b_1} \boxed{b_0} \\
 \hline
 \boxed{d_{n-1}} \cdots \boxed{d_i} \cdots \boxed{d_1} \boxed{d_0}
 \end{array}
 -$$

p a b	P	D
0 0 0	0	0
0 0 1	1	1
0 1 0	0	1
0 1 1	0	0
1 0 0	1	1
1 0 1	1	0
1 1 0	0	0
1 1 1	1	1

Complementi r1 2

Viene definita prima l'operazione di sottrazione fra due numeri ad un bit e poi quella di sottrazione colonna per colonna fra due numeri naturali (“unsigned integer”) ad n-bit

Complemento a 2 di un numero naturale N formato da n bit

$${}^2N = 2^n - N$$



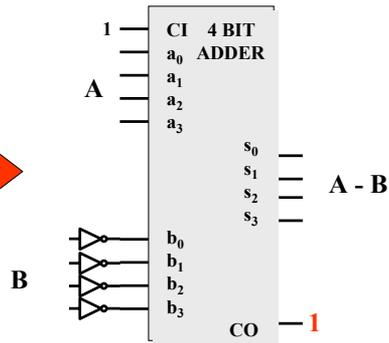
Calcolo di 2N senza la sottrazione

$$\begin{aligned} {}^2N &= 2^n - N \\ &= (2^n - 1) - N + 1 \\ &= \text{not}(N) + 1 \end{aligned}$$

Calcolo di $A - B$ con $A \geq B$

$$\begin{aligned} A - B &= A + (2^n - B) - 2^n \\ &= (A + {}^2B) - 2^n \end{aligned}$$

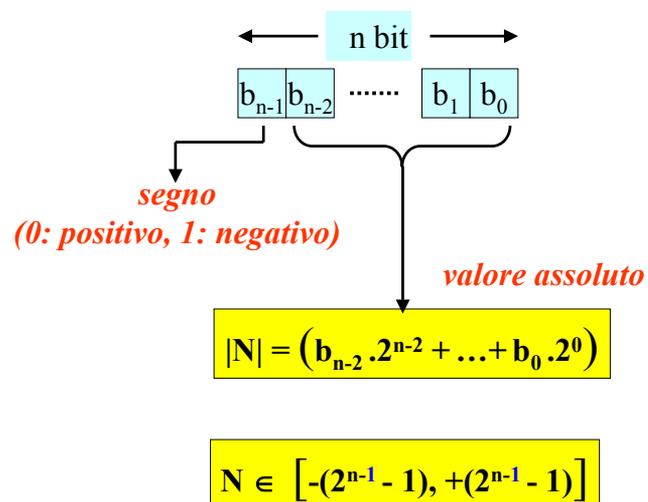
- calcola $A + {}^2B$
- elimina il bit più pesante



Complementi r1 3

Introducendo l'operazione di complementazione a 2, l'operazione di sottrazione fra due numeri naturali ad n bit può essere effettuata utilizzando un sommatore ad n -bit

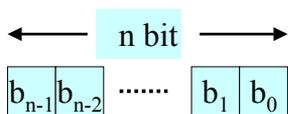
Numeri relativi: rappresentazione segno-valore assoluto



Complementi rl 4

Numeri relativi (cioè quelli con segno, gli "integer"). Rappresentazione modulo-segno

Numeri relativi: rappresentazione in complemento a 2



$N \geq 0$: segno-valore assoluto

$N < 0$: $2(-N)$
con $(-N)$ espresso in
segno-valore assoluto

Esempi ($n=4$)

$$+1 = 0001$$

$$+7 = 0111$$

$$-1 = 1110 +$$

$$-7 = 1000 +$$

$$1$$

$$1$$

$$= 1111$$

$$= 1001$$

N.B. - anche nella rappresentazione in complemento a 2 il bit più significativo indica il segno (0:positivo, 1:negativo).

$$N = -2^{n-1} \cdot b_{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_0 \cdot 2^0$$

$$N \in [-2^{n-1}, +(2^{n-1} - 1)]$$

Proprietà della rappresentazione in complemento a 2

Siano A e B due numeri nella rappresentazione in complemento a 2:

- eseguendo 2A si ottiene $-A$

A: 0 0 0 1 (+1)	1 0 0 1 (-7)
1 1 1 0 +	0 1 1 0 +
1	1
2A : 1 1 1 1 (-1)	0 1 1 1 (+7)

- eseguendo $A+B$ si ottiene la somma algebrica fra A e B:

A = -3 1 1 0 1 +	A = -4 1 1 0 0 +	A = -4 1 1 0 0 +
B = -4 1 1 0 0 =	B = +3 0 0 1 1 =	B = +5 0 1 0 1 = ****
-7 1 0 0 1	-1 1 1 1 1	+1 0 0 0 1

- eseguendo $A + {}^2(B)$ si ottiene $A - B$

N.B. - per sommare o sottrarre due numeri relativi espressi in complemento a 2 è sufficiente un addizionatore.

Esercizi

- Utilizzando una rappresentazione in complemento a 2 con $n=5$ si eseguano le seguenti operazioni:

$(-12) + (+4)$
 $(-12) + (-1)$
 $(-12) - (-12)$
 $(-12) + (+12)$
 $(-12) + (-4)$
 $(+10) - (+5)$
 $(+10) - (+11)$
 $(+12) + (+5)$
 $(-14) + (-4)$

- Qual'è il valore dei seguenti numeri relativi espressi nella rappresentazione in complemento a 2:

1111, 11111111, 11111110, 1110, 01111111, 10000000

Flip-flop - Descrizione (1)

Per poter progettare una rete logica è necessario essere in grado di prevedere in modo esatto il comportamento delle sue uscite e di quelle di ogni singolo componente in essa contenuto. Cerchiamo di capire quali sono le condizioni che impediscono di prevedere il funzionamento di un flip-flop e conseguentemente quali sono gli accorgimenti da adottare per non trovarsi in questa situazione. Cominciamo ad esaminare l'elenco dei pin del flip-flop di tipo "D" normalmente utilizzato nei progetti con le loro caratteristiche:



- Ingresso "D": è l'input attraverso il quale il flip-flop può campionare un segnale digitale. Il range delle tensioni applicabili a questo piedino deve rispettare delle specifiche (normalmente si tratta di quelle ttl) e, quando si intende campionare, non deve risultare collegato ad una linea non pilotata da alcuna periferica (detta "linea in three-state", lo "stato-3" corrispondente all'alta impedenza di tutti i dispositivi in grado di pilotare la linea, gli altri due sono lo 0 e l'1 logici), ossia "D" può avere qualunque valore ma, quando il flip-flop campiona, deve trovarsi ad una tensione che sia inequivocabilmente lo 0-logico o l'1-logico, altrimenti non è possibile prevedere il conseguente aggiornamento delle uscite. Inoltre per questo segnale si hanno sempre due temporizzazioni da rispettare riferite al fronte di campionamento del clock: Tsetup e Thold. La prima è il Δt minimo, *precedente* il fronte di campionamento del clock, durante il quale il segnale D deve essere stabile. La seconda rappresenta il Δt minimo, *successivo* allo stesso fronte del clock, in cui D deve restare costante al valore che si intende campionare.

Complementi rl 8

Flip-flop - Descrizione (2)



- Ingresso “>”: è l’ingresso del clock, ossia di quel segnale le cui transizioni da 0 a 1 causano il campionamento dell’ingresso “D” ed il conseguente aggiornamento delle uscite. Questo ingresso *non può mai* essere collegato ad una linea in “three-state” perché potrebbero verificarsi campionamenti indesiderati e casuali dell’ingresso “D” e ciò renderebbe ancora una volta imprevedibile il comportamento delle uscite. Non crea alcun problema il fatto che il clock si mantenga costantemente a 0 o a 1 per periodi indefinitamente lunghi, né crea problemi il fatto che esso subisca continue transizioni, purché queste ultime abbiano un *periodo* maggiore almeno del *tempo di propagazione* $D \Rightarrow Q$ interno (che dipende dalle specifiche del costruttore del flip-flop) e consentano al segnale D di rispettare i vincoli sui tempi di setup e hold.

Esistono anche FF con campionamento sui fronti di discesa del clock, meno usati.

- Ingresso “PR”: è l’ingresso (asincrono) del preset e si usa per portare ad 1 l’uscita “Q”. L’impulso di valore logico 1 fornito a questo ingresso deve avere una durata minima (dipende dalle specifiche del flip-flop) e non può verificarsi in coincidenza con un altro impulso sull’ingresso clear (la cui funzione è opposta), né contemporaneamente ad un fronte di salita del clock. Ovviamente neanche “PR” può mai trovarsi in “three-state”. Il mancato soddisfacimento di uno dei requisiti precedenti causa la imprevedibilità dello stato delle uscite. Per nostra convenzione “PR” è sempre in logica positiva.

Flip-flop - Descrizione (3)



- Ingresso “!CL”: è l’ingresso (asincrono) del clear e si usa per portare a 0 l’uscita “Q”. L’impulso di valore logico 0 fornito a questo ingresso deve avere una durata minima (dipende dalle specifiche del flip-flop) e deve rispettare i requisiti del precedente preset, pena la imprevedibilità dello stato delle uscite. Per nostra convenzione “!CL” è sempre in logica negativa.
- Uscita “Q”: è l’uscita del flip-flop ed è aggiornata al valore istantaneo dell’ingresso “D”, tutte le volte che l’ingresso “>” subisce una transizione da 0 a 1.
- Uscita “!Q”: è l’uscita negata, cioè il suo valore è sempre il negato di “Q”. Sebbene questa commuti simultaneamente a “Q” non è lecito assumere per ipotesi che la transizione avvenga per le due uscite *esattamente* nello stesso istante e con due fronti aventi la stessa pendenza.

Flip-flop - Modi di utilizzo

Due modi consueti di usare il flip-flop:

- In un progetto di Calcolatori Elettronici un flip-flop di tipo "D" è normalmente usato in modo da acquisire il valore dell'ingresso "D" in ogni istante in cui esso è ritenuto interessante per il progettista. Quando si vuole causare l'acquisizione, si genera una transizione da livello 0-logico al livello 1-logico (= fronte di salita) sull'ingresso clock del flip-flop. Il risultato di tale campionamento si leggerà con qualche istante di ritardo (ordine dei nsec o msec, dipende dalle specifiche del flip-flop) sulle due uscite "Q" e "!Q". Per definire uno stato di partenza delle uscite, o per riportarle ad uno stato desiderato indipendentemente da "D" e ">", si possono comandare degli impulsi sull'ingresso "!CL" (clear) oppure su quello "PR" (preset), in modo da portare rispettivamente Q a 0 oppure a 1: per mettere Q=0 serve uno 0 sul clear, mentre per Q=1 serve un 1 sul preset. Come spiegato sopra, tali impulsi devono avere una durata minima che dipende dalle specifiche del flip-flop e si deve sempre evitare la configurazione che li vede entrambi attivi (cioè. PR=1 & !CL=0). Inoltre i loro fronti non devono verificarsi simultaneamente ad un fronte di salita dell'ingresso ">": è fondamentale progettare il circuito essendo certi di evitare qualsiasi sovrapposizione tra questi tre eventi, altrimenti non è possibile predire lo stato delle uscite.
- In altri progetti il flip-flop D è usato per rilevare un evento occasionale. Supponendo che si voglia osservare l'avvenuto fronte di salita di un dato segnale X, si può pensare di collegare l'ingresso "D" al livello 1-logico costante e il segnale X all'ingresso del clock. Facendo partire il FF dallo stato con Q=0, il fronte di salita di X causa Q=1 che inoltre permane nel tempo, indipendentemente dal successivo comportamento di X, a indicare che "X ha avuto almeno un fronte di salita". Questo fino a che non interviene un impulso sul clear o si toglie l'alimentazione al circuito integrato (ma questo fa sì che il flip-flop si riaccenda con l'uscita in uno stato indefinito).

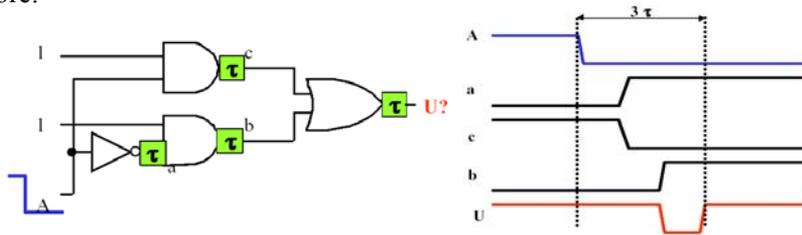
Complementi rl 11

Flip-flop - Alea statica

Le Alee:

Per arricchire l'insieme degli strumenti che consentono di giudicare la bontà di uno schema è bene ricordare anche il concetto di àlea. In questo contesto una traduzione potrebbe essere "indeterminazione" o "transitorio" di una uscita dovuti a una variazione non conforme alle specifiche di uno o più ingressi. Vi sono alea statiche e dinamiche. Cercheremo di chiarire questi concetti con due esempi:

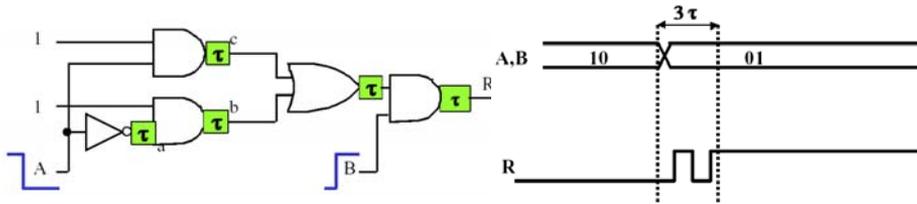
L'*àlea statica* si manifesta nel segnale di uscita U della forma d'onda qui sopra la quale dovrebbe rimanere costante e invece assume temporaneamente l'altro valore.



Complementi rl 12

Flip-flop - Alea dinamica

L'alea dinamica si manifesta nel segnale di uscita "R" della forma d'onda qui sopra che varia ripetutamente prima di assestarsi sul nuovo valore.

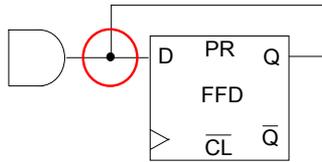


Le alee corrispondono a valori di un segnale logico temporaneamente diversi da quello atteso a causa dei ritardi introdotti dai vari gate di una rete. Da quanto appena visto si conclude che non è bene collegare l'uscita di una rete con transistori di alea all'ingresso del clock di un flip-flop. Il motivo sta nel fatto che i fronti delle alee causano campionamenti non voluti dell'ingresso "D".

Flip-flop - Errori di progetto (1)

Alcuni errori riscontrati frequentemente nella correzione dei compiti

1) Conflitto di tensione nel pilotaggio di una linea e degli ingressi ad essa collegati

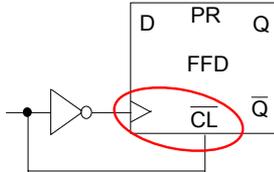


Quale tensione (o valore logico) avrà la linea collegata all'ingresso "D"?

Flip-flop - Errori di progetto (2)

Alcuni errori riscontrati nella correzione dei compiti

2) Errori dovuti ad un uso improprio degli ingressi e delle uscite:



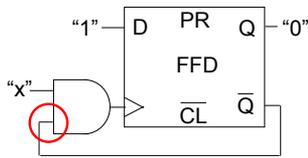
Chi prevale? Questa è una situazione di "corsa critica", cioè i segnali $>$ e $!CL$ concorrono entrambi a modificare le uscite, in una situazione di conflitto. Il risultato è che vi può o meno essere un breve impulso su Q causato da $>$ e poi resettato da $!CL$. A parte l'evidente inutilità del circuito, moltissimi dispositivi non prevedono una priorità tra $>$ e $!CL$ il che causa una indeterminazione su Q se questi due ingressi si attivano assieme.

Complementi rl 15

Flip-flop - Errori di progetto (3)

Alcuni errori riscontrati nella correzione dei compiti

3) Errori dovuti ad un uso improprio degli ingressi e delle uscite:

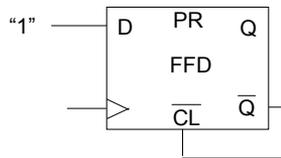


Il fronte di "x" è valido? Se inizialmente $Q=0$ e $x=0$, poi arriva $x=1$, il clock va a 1 ma torna subito a 0 per effetto dell'inibizione di $!Q$ sull'AND. Ipotizzando un fronte "lento" per la commutazione di $!Q$ ed una commutazione veloce dell'AND (ipotesi verosimili), accade che l'1 sul clock torni a 0 prima che sia finita la commutazione del FF, interrompendola e causando uno stato indefinito per le uscite.

Flip-flop - Errori di progetto (4)

Alcuni errori riscontrati nella correzione dei compiti

4) Errori probabilmente dovuti a distrazione:

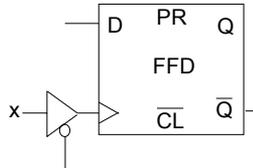


Senza via d'uscita. Nella fortunata ipotesi di partenza con $Q=0$, una volta giunto il primo fronte sul clock, non c'è altro modo di modificare le uscite che quello di togliere l'alimentazione al dispositivo!

Flip-flop - Errori di progetto (5)

Alcuni errori riscontrati nella correzione dei compiti

5) Errori probabilmente dovuti a distrazione:



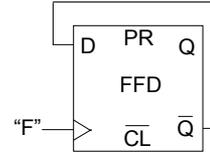
Clock in three-state. Il fatto che l'ingresso ">" possa trovarsi in three-state rende possibili campionamenti indesiderati e casuali dovuti alla mancanza di pilotaggio di tale ingresso. Lo stesso accade se si lasciano "flottanti" PR o !CL

Flip-flop - Schemi corretti (1)

1) Esempi di schemi corretti

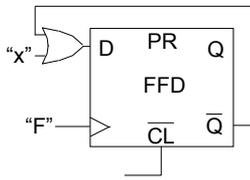
Una regola pratica generale per progettare correttamente un circuito con un flip-flop è cercare di ottenere un buon margine temporale tra i cambiamenti di stato degli ingressi. Esistono alcune configurazioni in cui è certo che ogni tipo di flip-flop-D, indipendentemente dalle specifiche e dal costruttore, si comporti come atteso, anche in presenza di variazioni degli ingressi molto ravvicinate nel tempo. Per tutti gli altri casi è necessario consultare il data sheet specifico del f-f in uso o, in mancanza, cambiare schema!

L'esempio a destra "funziona". Sebbene normalmente non siamo a conoscenza del tempo di propagazione $D \Rightarrow Q$ specifico del flip-flop in uso, è giusto ritenere che non sia istantaneo ed è lecito supporre che il campionamento di "D" si propagherà a "Q" in un tempo maggiore del Thold necessario all'ingresso "D". Quindi, ad ogni fronte di salita di "F", si campionerà il "vecchio" valore di "Q!". L'effetto di questa connessione è quello di far commutare lo stato delle uscite ad ogni nuovo fronte di salita di "F". Così facendo si conclude anche che, considerando "F" un'onda quadra, la frequenza di "Q" e "Q!" sarà esattamente la metà di quella di "F", così che questo schema funge anche da divisore di frequenza con uscita a $f/2$.



Flip-flop - Schemi corretti (2)

2) Esempi di schemi corretti



Per quanto appena detto, a maggior ragione funziona bene anche il circuito a sinistra dove l'OR introduce un ulteriore ritardo alla retroazione del campionamento sull'ingresso "D" (deve essere valida l'ipotesi per cui "x" è stabile in anticipo rispetto ai fronti di salita di "F"). Anche in questo caso, ad ogni fronte di salita di "F", si campionerà l'OR tra "x" ed il "vecchio" valore di "Q!". Questo esempio e, in particolare, il precedente si basano sullo stesso principio di funzionamento degli shift-register.

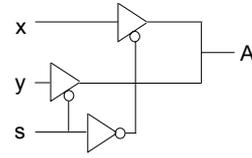
Flip-flop - Schemi corretti (3)

3) Esempi di schemi corretti

Il circuito a destra può essere usato come multiplexer, ossia un circuito in grado di collegare alternativamente ad una uscita "A" due (o più) ingressi "x" e "y" a seconda dello stato dell'ingresso di selezione "s".

A quale ingresso di un flip-flop posso collegare l'uscita "A"? Per rispondere bisogna domandarsi quale transitorio possa avere A, a seguito della commutazione di "s".

Supposto che "x" e "y" siano stabili in anticipo sulla rispettiva selezione, è comunque prudente pensare che non vi possa essere un unico fronte su A e che la commutazione debba avvenire in modo spurio a causa del ritardo introdotto dal NOT. Si pensi infatti alla situazione in cui è abilitato il driver superiore. Con la commutazione di s, per effetto del ritardo introdotto dal NOT, ci si potrebbe trovare nella condizione in cui per un breve periodo di tempo i driver sono entrambi abilitati, e cioè con il driver inferiore già abilitato e quello superiore non ancora disabilitato completamente. E' quindi del tutto sconsigliabile collegare questa uscita all'ingresso clock di un flip-flop, in quanto provocherebbe una serie di campionamenti a ripetizione. Viceversa è corretto collegare "A" all'ingresso "D" di un flip-flop avendo cura di campionarlo in istanti sufficientemente lontani dalla commutazione di "s" (vincolo su Tsetup del FF).



Complementi rl 21

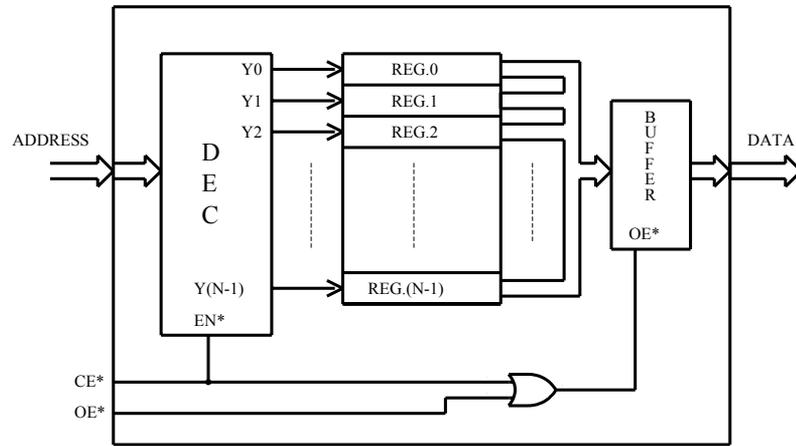
Sintesi sui principi dei FF scritta in collaborazione con l'ing. Nicola Viarani
Alcune immagini sono tratte dalle dispense di "Reti Logiche" del prof. Eugenio Faldella

Eprom

(E)PROM

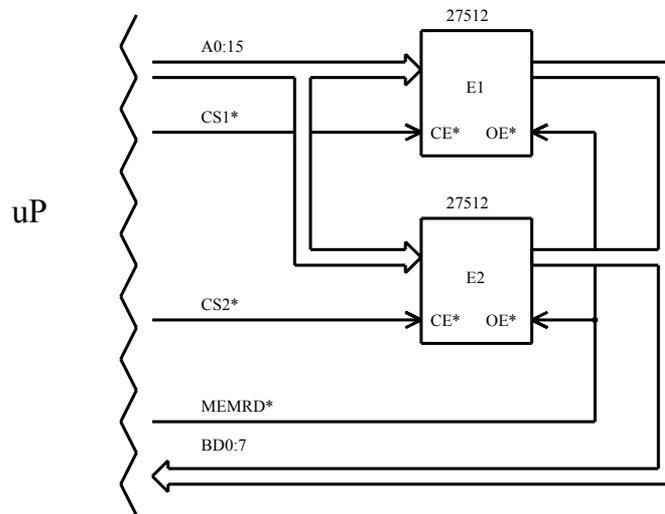
1	VPP	VCC	32
2	A16	PGM*	31
3	A15	NC	30
4	A12	A14	29
5	A7	A13	28
6	A6	A8	27
7	A5	A9	26
8	A4	A11	25
9	A3	OE*	24
10	A2	A10	23
11	A1	CE*	22
12	A0	D7	21
13	D0	D6	20
14	D1	D5	19
15	D2	D4	18
16	GND	D3	17

Eprom - Struttura interna



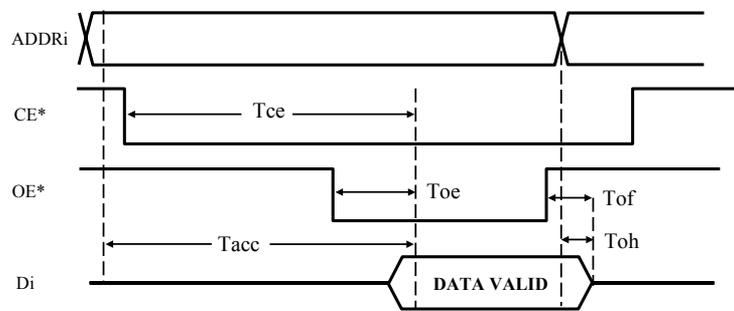
Complementi rl 23

Eprom - Schema di collegamento



Complementi rl 24

Eprom - Temporizzazioni

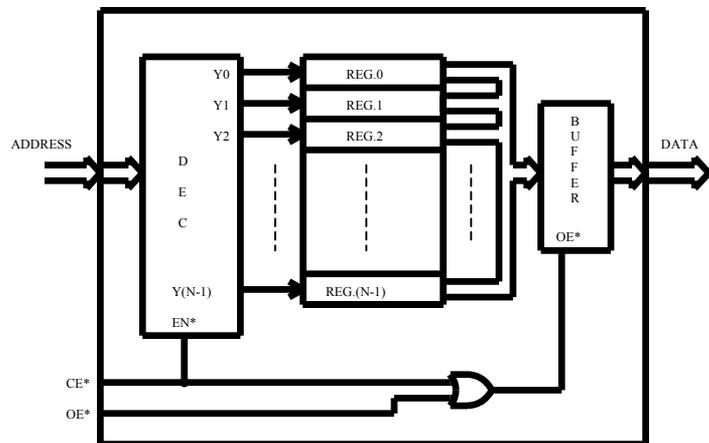


Complementi rl 25

Esercizio da complementi_rl

- Progetto di un banco di Eprom da 512K in 4 chip da 128KB per una CPU con bus dati da 8 bit e bus indirizzi da 20 bit.

Complementi rl 26

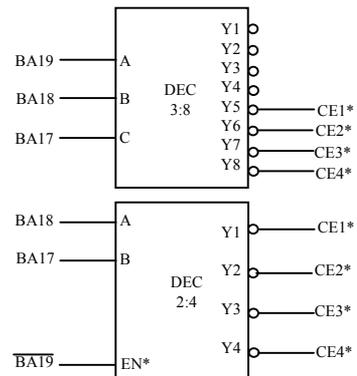


Adesso si pone un nuovo problema, quello del mapping della Eprom nella metà alta dello spazio di memoria.

Scrittura dei CE in logica positiva a partire dai 512KB per il primo banco:

- 1 - 80000H..9FFFFH
- 2 - A0000H..BFFFFH
- 3 - C0000H..DFFFFH
- 4 - E0000H..FFFFFH

Decoder con uscite attive basse tra bus indirizzi e attivazioni dei chip: 2 possibilità

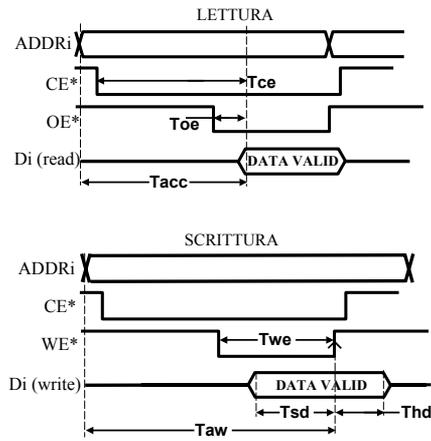


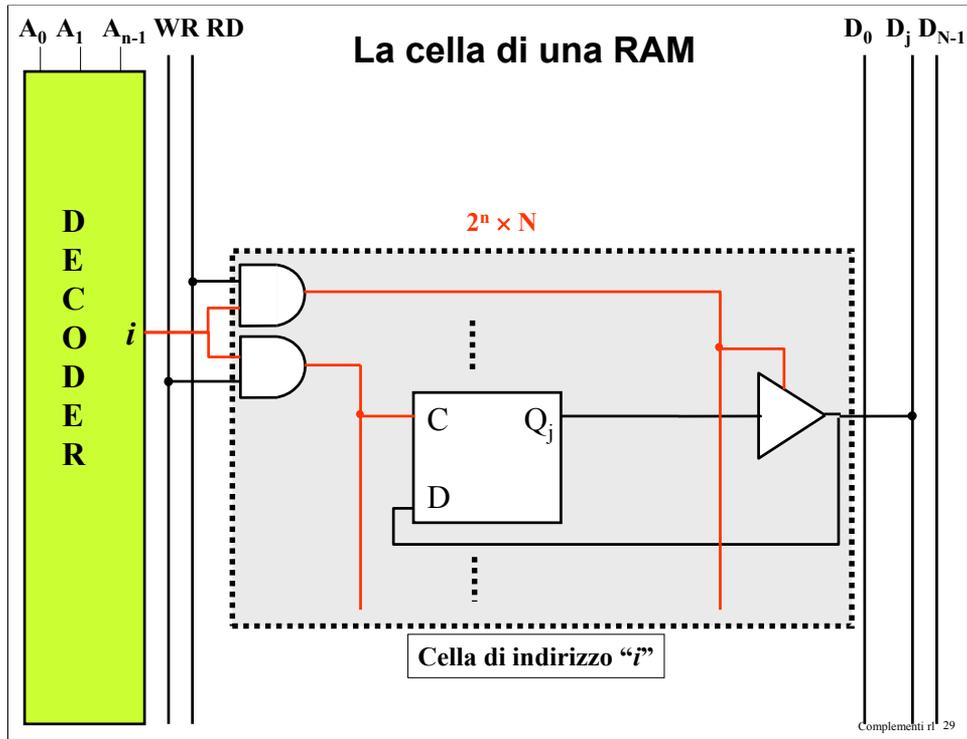
Memoria Ram statica (SRAM)

1	NC	VCC	32
2	A16	A15	31
3	A14	NC	30
4	A12	WR*	29
5	A7	A13	28
6	A6	A8	27
7	A5	A9	26
8	A4	A11	25
9	A3	OE*	24
10	A2	A10	23
11	A1	CE*	22
12	A0	I/O7	21
13	I/O0	I/O6	20
14	I/O1	I/O5	19
15	I/O2	I/O4	18
16	GND	I/O3	17

Complementi rl 27

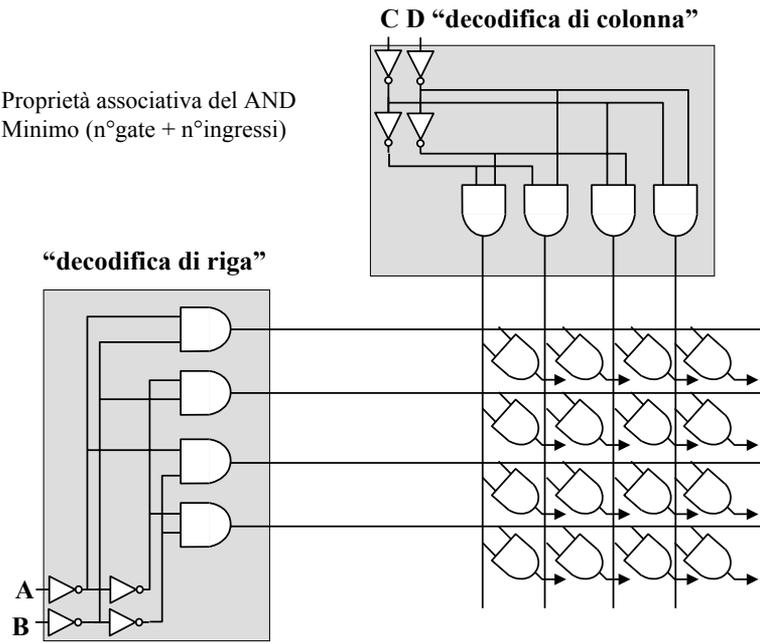
Ram - Temporizzazioni





Decoder e Matrici di decodifica

- Proprietà associativa del AND
- Minimo (n° gate + n° ingressi)



Complementi rl 30



Data sheet RAM statica (1)

CY7C199

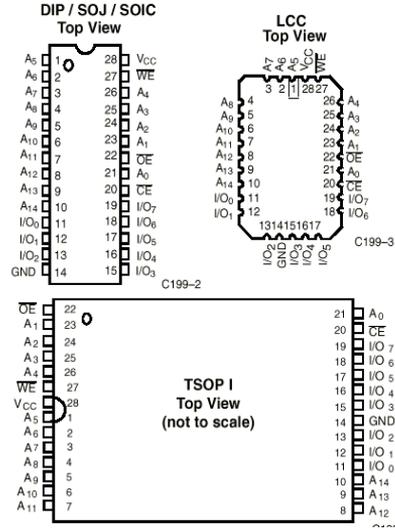
32K x 8 Static RAM Pin Configurations

Functional Description

The CY7C199 is a high-performance CMOS static RAM organized as 32,768 words by 8 bits. Easy memory expansion is provided by an active LOW chip enable (\overline{CE}) and active LOW output enable (\overline{OE}) and three-state drivers. This device has an automatic power-down feature, reducing the power consumption by 81% when deselected. The CY7C199 is in the standard 300-mil-wide DIP, SOJ, and LCC packages.

An active LOW write enable signal (\overline{WE}) controls the writing/reading operation of the memory. When \overline{CE} and \overline{WE} inputs are both LOW, data on the eight data input/output pins (I/O_0 through I/O_7) is written into the memory location addressed by the address present on the address pins (A_0 through A_{14}). Reading the device is accomplished by selecting the device and enabling the outputs, \overline{CE} and \overline{OE} active LOW, while \overline{WE} remains inactive or HIGH. Under these conditions, the contents of the location addressed by the information on address pins are present on the eight data input/output pins.

The input/output pins remain in a high-impedance state unless the chip is selected, outputs are enabled, and write enable (\overline{WE}) is HIGH. A die coat is used to improve alpha immunity.



Complementi r1 31



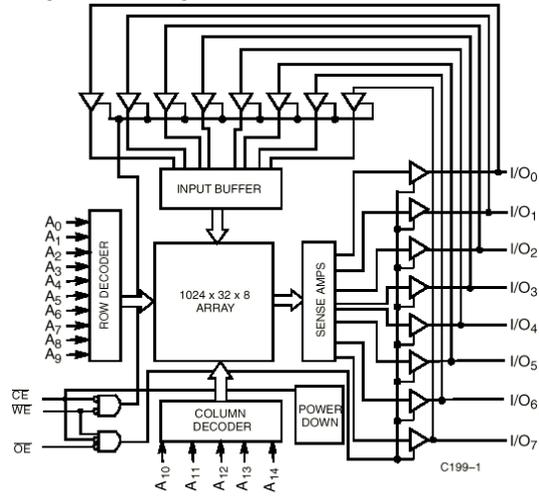
Data sheet RAM statica (2)

CYPRESS

CY7C199

32K x 8 Static RAM

Logic Block Diagram



Complementi rl 32



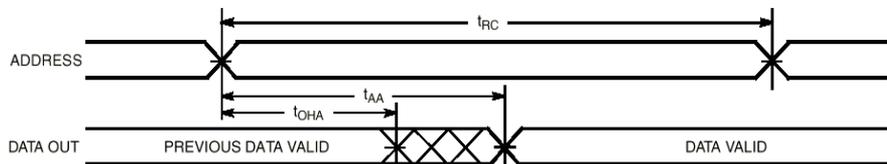
Data sheet RAM statica (3)

CYPRESS

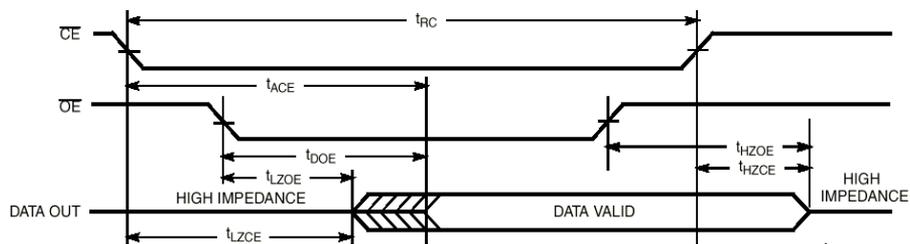
CY7C199

32K x 8 Static RAM

Read Cycle No. 1 [12, 13]



Read Cycle No. 2 [13, 14]



Complementi r1 33

Data sheet RAM statica (4)

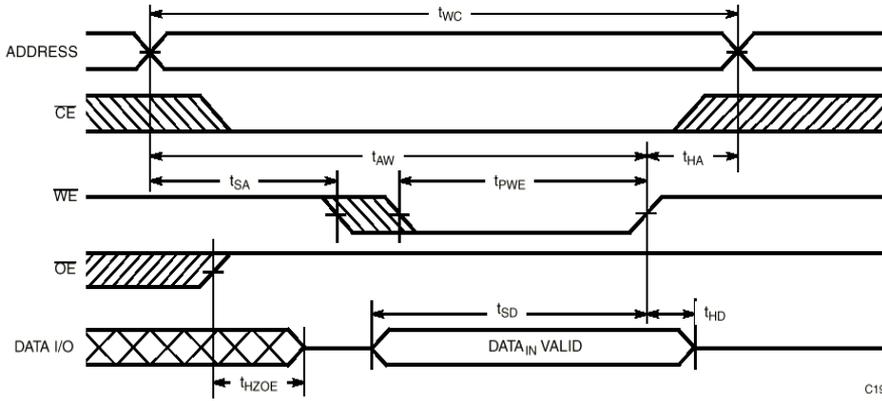


CYPRESS

CY7C199

32K x 8 Static RAM

Write Cycle No. 1 (WE Controlled)^[10, 1b, 16]



C199

Complementi r1 34

Data sheet RAM statica (5)

Switching Characteristics Over the Operating Range^[3,7] (continued)

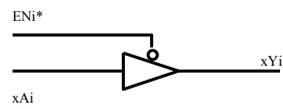
Parameter	Description	7C199-20		7C199-25		7C199-35		7C199-45		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
READ CYCLE										
t _{RC}	Read Cycle Time	20		25		35		45		ns
t _{AA}	Address to Data Valid		20		25		35		45	ns
t _{OHA}	Data Hold from Address Change	3		3		3		3		ns
t _{ACE}	CE LOW to Data Valid		20		25		35		45	ns
t _{DOE}	OE LOW to Data Valid		9		10		16		16	ns
t _{LZOE}	OE LOW to Low Z ^[8]	0		0		0		0		ns
t _{HZOE}	OE HIGH to High Z ^[8,9]		9		11		15		15	ns
t _{LZCE}	CE LOW to Low Z ^[8]	3		3		3		3		ns
t _{HZCE}	CE HIGH to High Z ^[8,9]		9		11		15		15	ns
t _{PU}	CE LOW to Power-Up	0		0		0		0		ns
t _{PD}	CE HIGH to Power-Down		20		20		20		25	ns
WRITE CYCLE ^[10,11]										
t _{WC}	Write Cycle Time	20		25		35		45		ns
t _{SCE}	CE LOW to Write End	15		18		22		22		ns
t _{AW}	Address Set-Up to Write End	15		20		30		40		ns
t _{HA}	Address Hold from Write End	0		0		0		0		ns
t _{SA}	Address Set-Up to Write Start	0		0		0		0		ns
t _{PWE}	WE Pulse Width	15		18		22		22		ns
t _{SD}	Data Set-Up to Write End	10		10		15		15		ns
t _{HD}	Data Hold from Write End	0		0		0		0		ns
t _{HZWE}	WE LOW to High Z ^[9]		10		11		15		15	ns
t _{LZWE}	WE HIGH to Low Z ^[8]	3		3		3		3		ns

Complementi rl 35

Circuiti integrati di interfaccia - '244

74XX244

1A1	1Y1
1A2	1Y2
1A3	1Y3
1A4	1Y4
2A1	2Y1
2A2	2Y2
2A3	2Y3
2A4	2Y4
EN1*	EN2*



Complementi rl 36

Data sheet di un '244 (1) SN54AC244, SN74AC244 OCTAL BUFFERS/DRIVERS WITH 3-STATE OUTPUTS

SCAS514C - JUNE 1995 - REVISED SEPTEMBER 1996

description

These octal buffers and line drivers are designed specifically to improve the performance and density of 3-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters.

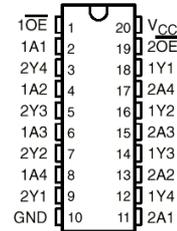
The 'AC244 are organized as two 4-bit buffers/drivers with separate output-enable (\overline{OE}) inputs. When \overline{OE} is low, the device passes noninverted data from the A inputs to the Y outputs. When \overline{OE} is high, the outputs are in the high-impedance state.

The SN54AC244 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74AC244 is characterized for operation from -40°C to 85°C .

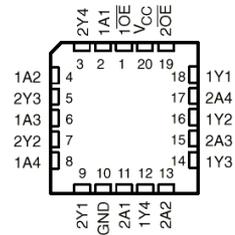
FUNCTION TABLE
(each buffer)

INPUTS		OUTPUT
\overline{OE}	A	Y
L	H	H
L	L	L
H	X	Z

SN54AC244 . . . J OR W PACKAGE
SN74AC244 . . . DB, DW, N, OR PW PACKAGE
(TOP VIEW)



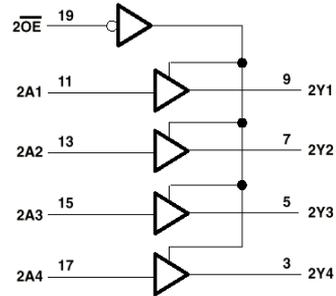
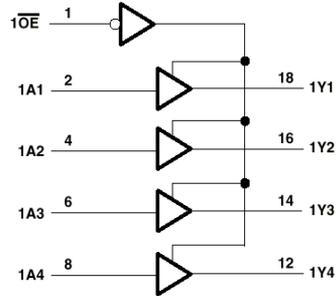
SN54AC244 . . . FK PACKAGE
(TOP VIEW)



Data sheet di un '244 (2) SN54AC244, SN74AC244 OCTAL BUFFERS/DRIVERS WITH 3-STATE OUTPUTS

SCAS514C - JUNE 1995 - REVISED SEPTEMBER 1996

logic diagram (positive Logic)



Complementi rl 38

Data sheet di un '244 (3) SN54AC244, SN74AC244 OCTAL BUFFERS/DRIVERS WITH 3-STATE OUTPUTS

SCAS514C – JUNE 1995 – REVISED SEPTEMBER 1996

switching characteristics over recommended operating free-air temperature range,
 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted) (see Figure 1)

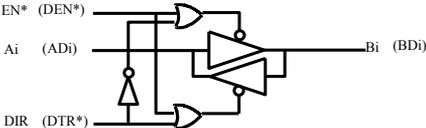
PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			SN54AC244		SN74AC244		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t_{PLH}	A	Y	1.5	5	7	1	9.5	1	7.5	ns
t_{PHL}			1.5	5	7	1	9	1	7.5	
t_{PZH}	\overline{OE}	Y	1.5	5	7	1	9	1.5	8	ns
t_{PZL}			1.5	5.5	8	1	10.5	1.5	8.5	
t_{PHZ}	\overline{OE}	Y	2.5	6.5	9	1	10.5	1	9.5	ns
t_{PLZ}			2	6.5	9	1	11	2	9.5	

Complementi rl 39

Circuiti integrati di interfaccia - '245

74XX245

A1	B1
A2	B2
A3	B3
A4	B4
A5	B5
A6	B6
A7	B7
A8	B8
EN*	DIR



Data sheet di un '245 (1)

74AC11245
OCTAL BUS TRANSCEIVER
WITH 3-STATE OUTPUTS
SCAS010B - JULY 1987 - REVISED APRIL 1996

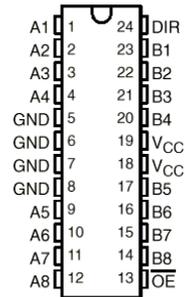
description

This octal bus transceiver is designed for asynchronous two-way communication between data buses. The control-function implementation minimizes external timing requirements.

The device allows noninverted data transmission from the A bus to the B bus or from the B bus to the A bus, depending on the logic level at the direction-control (DIR) input. The output-enable (\overline{OE}) input can be used to disable the device so that the buses are effectively isolated.

The 74AC11245 is characterized for operation from -40°C to 85°C .

DB, DW, NT, OR PW PACKAGE
(TOP VIEW)



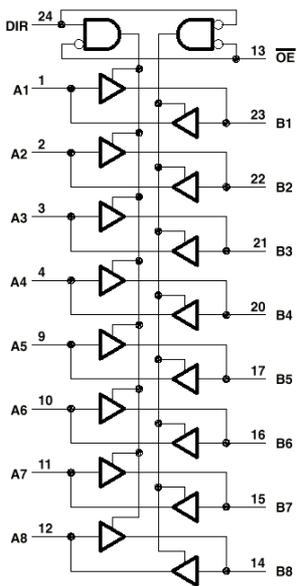
FUNCTION TABLE

OUTPUT ENABLE \overline{OE}	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

Data sheet di un '245 (2)

74AC11245
OCTAL BUS TRANSCEIVER
WITH 3-STATE OUTPUTS
SCAS010B - JULY 1987 - REVISED APRIL 1996

logic diagram (positive logic)



Complementi rl 42

Data sheet di un '245 (3)

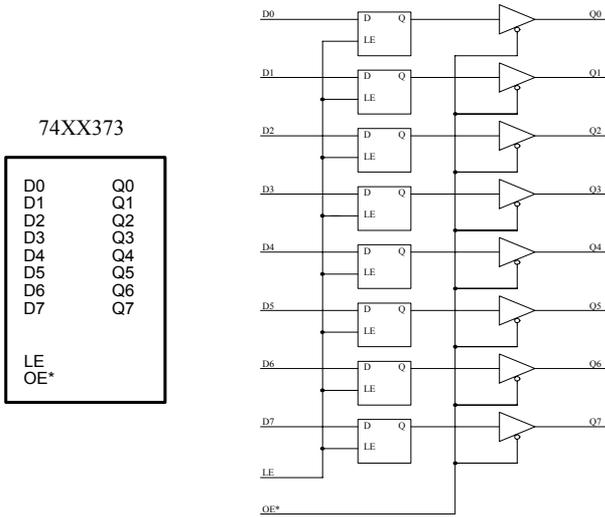
74AC11245
OCTAL BUS TRANSCEIVER
WITH 3-STATE OUTPUTS
SCAS010B – JULY 1987 – REVISED APRIL 1996

switching characteristics over recommended operating free-air temperature range,
 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted) (see Figure 1)

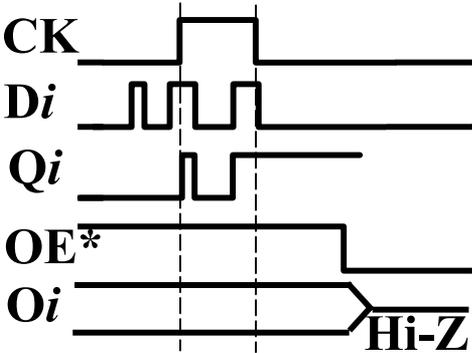
PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	B or A	1.5	4.8	8.5	1.5	9.5	ns
t_{PHL}			1.5	4.1	6.3	1.5	6.9	
t_{PZH}	$\overline{\text{OE}}$	B or A	1.5	6.2	10.2	1.5	11.4	ns
t_{PZL}			1.5	5.9	8.6	1.5	9.5	
t_{PHZ}	$\overline{\text{OE}}$	B or A	1.5	6.4	8.8	1.5	9.5	ns
t_{PLZ}			1.5	7	9.6	1.5	10.4	

Complementi rl 43

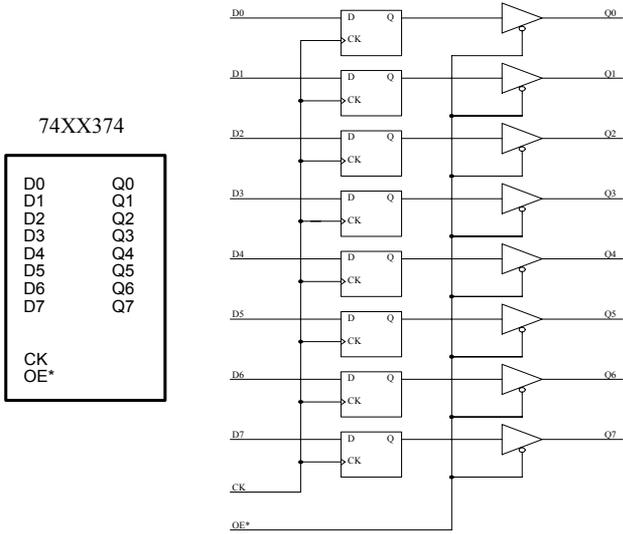
Circuiti integrati di interfaccia - '373



Complementi rl 44



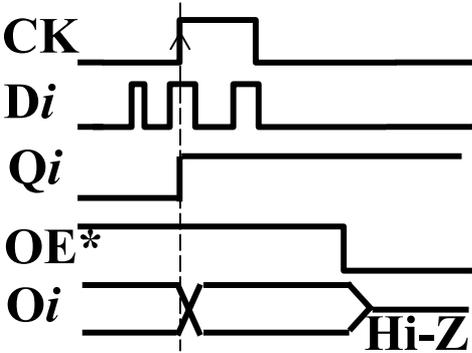
Circuiti integrati di interfaccia - '374



74XX374

D0	Q0
D1	Q1
D2	Q2
D3	Q3
D4	Q4
D5	Q5
D6	Q6
D7	Q7
CK	
OE*	

Complementi rl 45



Data sheet di un '373-'374 (1)

SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

SLS165 - OCTOBER 1975 - REVISED MARCH 1988

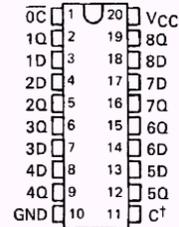
'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q ₀
H	X	X	Z

SN54LS373, SN54LS374, SN54S373,
SN54S374 . . . J OR W PACKAGE
SN74LS373, SN74LS374, SN74S373,
SN74S374 . . . DW OR N PACKAGE
(TOP VIEW)



description

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines of the 'S373 and 'S374 devices, simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

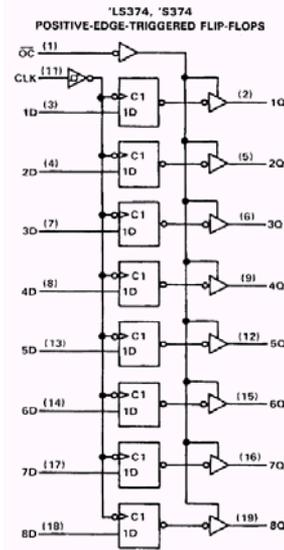
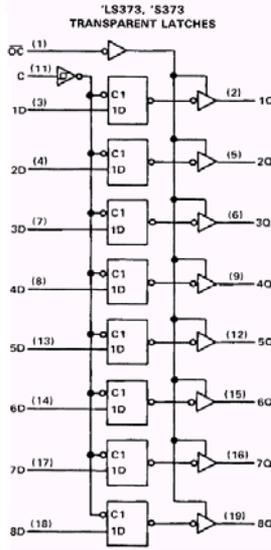
The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

Complementi rl 46

Data sheet di un '373-'374 (2)

SN54LS373, SN54LS374, SN54S373, SN54S374,
SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS
SDLS165 - OCTOBER 1975 - REVISED MARCH 1988

logic diagrams
(positive logic)



Complementi rl 47

Data sheet di un '373-'374 (3)

recommended operating conditions

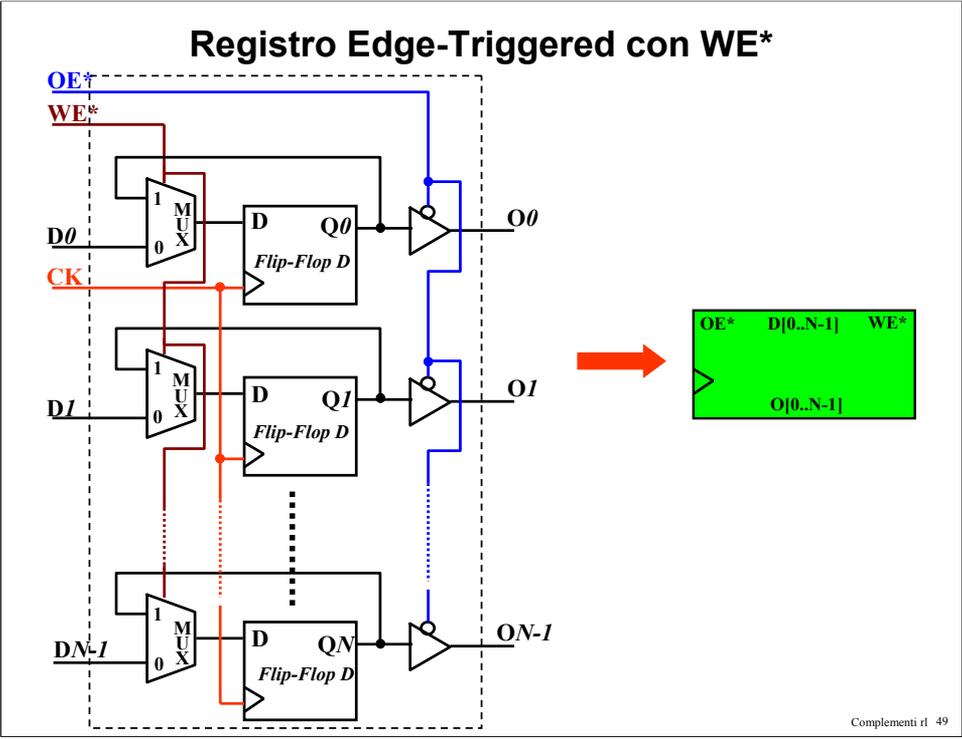
		SN54LS'			SN74LS'			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{OH}	High-level output voltage			5.5			5.5	V
I _{OH}	High-level output current			-1			-2.6	mA
I _{OL}	Low-level output current			12			24	mA
t _w	Pulse duration	CLK high	15		15			ns
		CLK low	15		15			
t _{su}	Data setup time	'LS373	5↓		5↓			ns
		'LS374	20↑		20↑			
t _h	Data hold time	'LS373	20↓		20↓			ns
		'LS374↑	5↑		0↑			
T _A	Operating free-air temperature	-55	125		0		70	°C

†The t_h specification applies only for data frequency below 10 MHz. Designs above 10 MHz should use a minimum of 5 ns. (Commercial only)

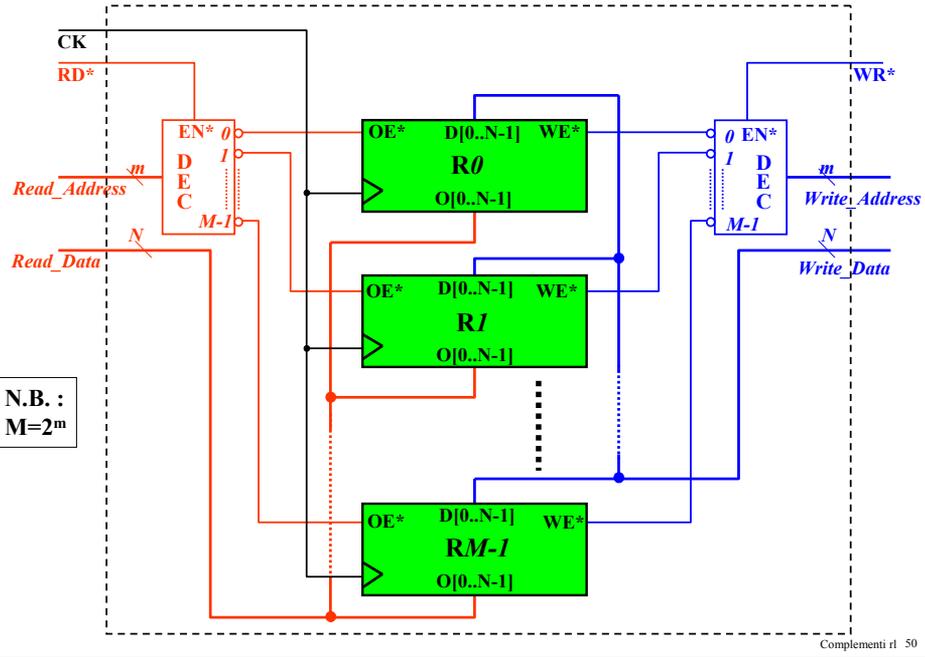
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS373			'LS374			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
f _{max}			C _L = 45 pF, R _L = 667 Ω See Notes 2 and 3				35	50		MHz
t _{PLH}	Data	Any Q		12	18					ns
t _{PHL}				12	18					
t _{PLH}	Clock or enable	Any Q		20	30	15	28			ns
t _{PHL}			18	30	19	28				
t _{pZH}	Output Control	Any Q	15	28	20	28			ns	
t _{pZL}			25	36	21	28				
t _{PHZ}	Output Control	Any Q	C _L = 5 pF, R _L = 667 Ω See Note 3	15	25	15	28		ns	
t _{PLZ}	Output Control	Any Q		12	20	12	20		ns	

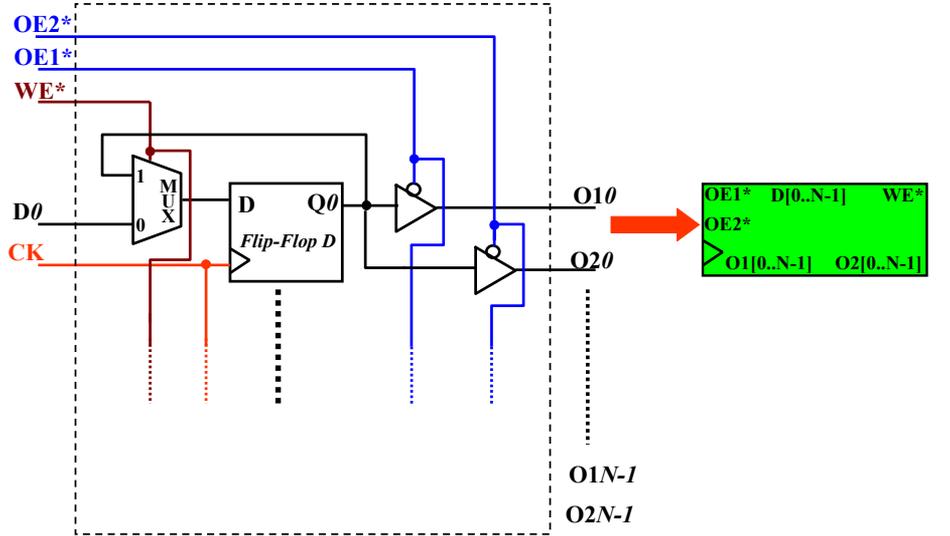
Complementi rl 48



Register File (1 read-port, 1 write-port)



Registro Edge-Triggered con WE* ed uscite duplicate



Complementi rl 51

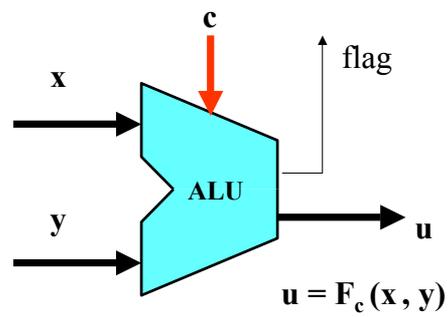
Esercizio

- Utilizzando il componente elementare mostrato nel lucido precedente si disegni lo schema di un Register File costituito da M registri ad N bit e dotato di 2 porte di lettura (read-port) ed una porta di scrittura (write-port).

Complementi rl 52

Suggerimento: rispetto all'esempio mostrato in precedenza con una sola read-port, si dovrà aggiungere un altro decoder di lettura che porterà un secondo pin esterno di lettura RD2

ALU: Arithmetic and Logic Unit



ALU - Rete combinatoria in grado di eseguire diverse operazioni di tipo aritmetico o logico. L'operazione di volta in volta eseguita dipende dal valore attribuito ai bit di programmazione (codice operazione)

Complementi rl 53