

07 - Esercizio progetto su 8088

Un sistema a microprocessore basato su 8088 a 5 MHz dispone di 64KB di Eprom (Tacc = 148 nsec) agli indirizzi alti e 128KB di Ram (Tacc = 270 nsec) agli indirizzi bassi.

Il sistema è equipaggiato con un dispositivo 8255 con la porta A in modo 1 - input, gestita ad interrupt per mezzo di un 8259. Essa è collegata ad uno strumento di misura i cui dati hanno dimensione 2 byte l'uno e giungono sempre nella sequenza MSB, LSB, MSB,... (prima Most, poi Least Significant Byte).

Mentre è in corso la lettura dell'8255, durante l'esecuzione della routine di servizio all'interrupt, si vuole che una rete hardware campioni i dati presenti sul bus di sistema per visualizzare le misure su un display luminoso.

1- Disegnare lo schema di sistema nell'ipotesi che le periferiche di I/O non richiedano TW e considerando il Tacc come "caso peggiore" nel calcolo dei TW richiesti dalle memorie (ottimizzare il più possibile il circuito per la generazione del segnale READY).

2- Scrivere le espressioni di selezione semplificate delle memorie e dei dispositivi.

3- Trascurando l'interfacciamento del display ed i relativi aspetti di conversione "binario \Rightarrow BCD-decimale", si progetti una rete con due registri a 8 bit, in modo che essi contengano sempre e in modo stabile l'ultimo valore misurato ed evitando che, anche per brevi periodi, i registri siano caricati con una combinazione di byte tra loro inconsistenti, perché appartenenti a misure diverse. Il funzionamento di tale rete deve risultare trasparente rispetto al μ P.

SOLUZIONE dell'esercizio 7

Principi generali del progetto proposto

Tutto ciò che serve oltre ai due registri 374M e 374L che contengono la word da mandare al display, è un flip-flop FF1 che tenga traccia del "peso" (MSB o LSB) del byte che sta transitando sul bus e di un ulteriore registro intermedio 374T che conservi temporaneamente l'MSB, in modo che questo possa essere scritto contemporaneamente all'LSB sulla coppia di 374M-L collegata al display. Da notare che la commutazione del flip-flop avviene sul fronte di salita dell'INTRa precedente l'impulso di lettura, con notevole anticipo rispetto al campionamento dei 374 e quando l'OR 4 IN della lettura dati ha sicuramente l'uscita=1.

Calcolo dei TW per le memorie

Supponendo un sufficiente anticipo nell'attivazione del segnale MEMRD* tale da rendere influente solo il parametro Tacc si ha:

$$T_{clcl} = 200 \text{ nsec}$$

$$T_{accEprom} = 148 \text{ nsec}$$

$$TDV = T_{clavmax}(110\text{nsec}@5\text{MHz}) + T_{373}(18\text{nsec}) + T_{pal}(30\text{nsec}) + T_{accEprom}(148\text{nsec}) + T_{245}(10\text{nsec}) + T_{dvclmin}(30\text{nsec}@5\text{MHz}) = 346 \text{ nsec}$$

$$TDV \leq (3+n) \cdot T_{clcl} \Rightarrow \text{per } n = 0 \text{ è verificata } (346 \leq 600) \Rightarrow 0 \text{ TWait per i chip di Eprom.}$$

$$T_{accRam} = 270 \text{ nsec}$$

$$TDV = T_{clavmax}(110\text{nsec}@5\text{MHz}) + T_{373}(18\text{nsec}) + T_{pal}(30\text{nsec}) + T_{accRam}(270\text{nsec}) + T_{245}(10\text{nsec}) + T_{dvclmin}(30\text{nsec}@5\text{MHz}) = 468 \text{ nsec}$$

$$TDV \leq (3+n) \cdot T_{clcl} \Rightarrow \text{per } n = 0 \text{ è verificata } (468 \leq 600) \Rightarrow 0 \text{ TWait per i chip di Ram.}$$

Sintesi dei segnali

Selezione memorie:

$$CSE0 = BA19 \cdot !IO/M\#$$

$$CSR0 = !BA19 \cdot !IO/M\#$$

Selezione delle periferiche:

$$CS8255 = !BA15 \cdot IO/M\#$$

$$CS8259 = BA15 \cdot IO/M\#$$

Schema soluzione esercizio 7

