

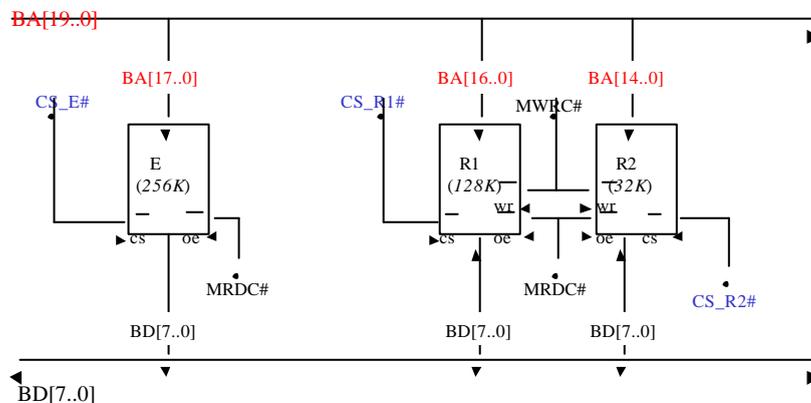
## Esercizio 8

• Si consideri un sistema basato su 8088 a 8MHz dotato di 256KB di EPROM agli indirizzi alti, 160KB di RAM (2 chip da 128 e 32KB) agli indirizzi bassi, e alcuni dispositivi di I/O. Per le memorie si considerino le seguenti temporizzazioni: EPROM:  $T_{acc}=240\text{ ns}$ ,  $T_{oe}=50\text{ ns}$ ; RAM:  $T_{acc}=200\text{ ns}$ ,  $T_{oe}=50\text{ ns}$ .

- 1) Si scrivano le espressioni complete e semplificate dei CS\* dei chip di memoria.
- 2) Si determini il numero di stati di wait necessari per gli accessi in lettura ad EPROM e RAM.
- 3) Si progetti il circuito per la generazione del READY nell'ipotesi che, per le memorie, i cicli di scrittura richiedano lo stesso numero di stati di wait di quelli di lettura e che gli accessi ai dispositivi di I/O richiedano 3 stati di wait.

## Soluzione Esercizio 8

1) L'allocazione e l'interfacciamento delle memorie coinvolgono i seguenti indirizzi: EPROM da 256K (chip indicato nello schema con E) mappato agli indirizzi alti (C0000H : FFFFFH)  
RAM, 128K e da 32K (chip indicati rispettivamente nello schema con R1, R2) con R1 mappato agli indirizzi (00000H : 1FFFFH) e R2 mappato agli indirizzi (20000H : 27FFFH).



## Soluzione Esercizio 8

Espressioni dei CS (logica positiva, decodifica completa):

$$\begin{aligned} CS\_E &= BA19 * BA18 \\ CS\_R1 &= !BA19 * !BA18 * !BA17 \\ CS\_R2 &= !BA19 * !BA18 * BA17 * !BA16 * !BA15 \end{aligned}$$

Espressioni dei CS (logica positiva, decodifica semplificata):

$$\begin{aligned} CS\_E &= BA19 \\ CS\_R1 &= !BA19 * !BA17 \\ CS\_R2 &= !BA19 * BA17 \end{aligned}$$

2) Per il chip di EPROM (E) utilizziamo i dati:  $T_{acc}=240\text{ ns}$ ,  $T_{oe}=50\text{ ns}$ ; Per entrambi i chip di RAM (R1, R2) utilizziamo i dati  $T_{acc}=200\text{ ns}$ ,  $T_{oe}=50\text{ ns}$ . Il periodo di clock a 8MHz è 125nsec. Il calcolo degli stati di wait viene effettuato impiegando la relazione:

$$(3+n) \times T_{CLCL} \stackrel{?}{\geq} \max \left\{ \begin{array}{l} T_{CLAV}(max) + T_{373} + T_{DEC} + T_{acc} + T_{245} + T_{DVCL}(min) \\ T_{CLCL} + T_{CLRL}(max) + T_{oe} + T_{245} + T_{DVCL}(min) \end{array} \right.$$

## Soluzione Esercizio 8

Calcolo del numero di stati di wait richiesti per l'accesso al chip E

**Temporizzazioni relative al Processore (8088 8 MHz):**

$$T_{CLCL} = 125\text{ ns}, T_{CLAV}(max) = 60\text{ ns}, T_{CLRL}(max) = 100\text{ ns}, T_{DVCL}(min) = 20\text{ ns}$$

**Temporizzazioni relative al chip E:**

$$T_{acc} = 240\text{ ns}, T_{oe} = 50\text{ ns}$$

**Temporizzazioni relative agli altri dispositivi presenti nell'interfaccia bus standard della CPU 8088:**

$$T_{373} = 18\text{ ns}, T_{245} @ 10\text{ ns}, T_{DEC} = 30\text{ ns}$$

$$(3+n) \times 125 \stackrel{?}{\geq} \max \left\{ \begin{array}{l} 60 + 18 + 30 + 240 + 10 + 20 = 378 \\ 125 + 100 + 50 + 10 + 20 = 305 \end{array} \right.$$

Soddisfatta per  $n=1$  ( $400 > 378$ )

1 wait-state x la Eprom

Osservazione: il "caso peggiore" è quello relativo al percorso degli indirizzi.

## Soluzione Esercizio 8

### Calcolo del numero di stati di wait richiesti per l'accesso ai chip R1, R2

Temporizzazioni relative al Processore (8088 8 MHz):

$$T_{CLCL} = 125 \text{ ns}, T_{CLAV}(\text{max}) = 60 \text{ ns}, T_{CLRL}(\text{max}) = 100 \text{ ns}, T_{DVCL}(\text{min}) = 20 \text{ ns}$$

Temporizzazioni relative ai chip R1, R2:

$$T_{acc} = 200 \text{ ns}, T_{oe} = 50 \text{ ns}$$

Temporizzazioni relative agli altri dispositivi presenti nell'interfaccia bus standard della CPU 8088:

$$T_{373} = 18 \text{ ns}, T_{245} @ 10 \text{ ns}, T_{DEC} = 30 \text{ ns}$$

$$(3+n) \times 125 \text{ ns max} \begin{cases} 60 + 18 + 30 + 200 + 10 + 20 = 338 \\ 125 + 100 + 50 + 10 + 20 = 305 \end{cases}$$

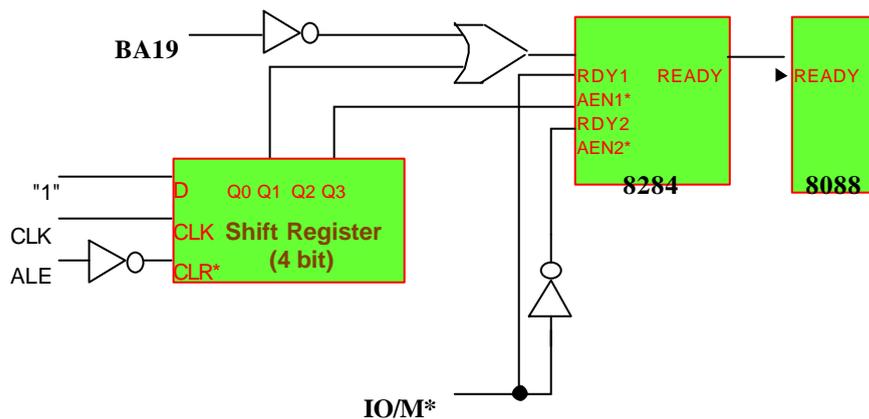
↓  
Soddisfatta per  $n=0$  ( $375 > 338$ )

↓  
**0 wait-state per le Ram**

*Osservazione: il "caso peggiore" è, anche per le RAM, quello relativo al percorso degli indirizzi.*

## Soluzione Esercizio 8

### 3) Circuito per la generazione del READY:



Il circuito progettato fornisce 3 stati di wait (RDY2=Q3) quando la CPU accede ad un dispositivo mappato nello spazio di I/O (IO/M\*=1). Se invece la CPU accede ad un dispositivo mappato nello spazio di memoria (IO/M\*=0) il numero di stati di wait è condizionato dal valore di BA19: se BA19=0 (accesso ai chip R1, R2) si ha che RDY1=1 (0 wait-states); se BA19=1 (accesso al chip E) si ha che RDY1=Q1 (1 wait-state).

