

## Calcolatori Elettronici L A

### Prova scritta del 20/12/'02

#### Esercizio N. 1

Si supponga di voler estendere il set di istruzioni del DLX con l'istruzione

BEQ Rx, Ry, (Rz)

che confronta Rx con Ry ed esegue, in caso di uguaglianza, il trasferimento del controllo alla locazione di memoria puntata da Rz.

1.1) si mostri come potrebbe essere codificata la nuova istruzione utilizzando il più adatto tra i tre formati delle istruzioni del DLX. (1 punto)

1.2) con riferimento al datapath senza pipeline (sequenziale) del DLX visto a lezione si disegni il diagramma degli stati che controlla l'esecuzione della nuova istruzione inserendo anche gli stati necessari al fetch ed alla decodifica. (4 punti)

1.3) si scriva la sequenza di istruzioni appartenenti all'ISA del DLX studiata a lezione che risulta equivalente alla nuova istruzione BEQ Rx, Ry, (Rz). (4 punti)

1.4) nell'ipotesi che gli stati con accesso alla memoria richiedano in tutto 2 cicli di clock (1 + 1Twait), si calcoli il numero di cicli di clock necessari alla nuova istruzione a seconda che il branch sia "taken" o "not taken". (1 punto)

#### Esercizio N. 2

Un sistema a microprocessore basato su 8088 a 5 MHz dispone di 32KB di Eprom (1 chip con Tacc=120 nsec, Toe = 30 nsec) agli indirizzi alti e 512KB di Ram (1 chip con Tacc=270 nsec, Toe = 160 nsec) agli indirizzi bassi. Il sistema è dotato di una interfaccia seriale 8251, di una interfaccia parallela 8255 e di un software che gestisce ad interrupt la ricezione di caratteri dalla seriale ritrasmettendoli sulla parallela. Per ipotesi, al momento della ri-trasmissione, il buffer di uscita della parallela è sempre vuoto e non è necessario eseguire il controllo del suo stato prima della scrittura.

2.1) disegnare lo schema del sistema e progettare il circuito per la generazione del segnale di READY nell'ipotesi che le periferiche di I/O non richiedano Twait. (5 punti)

2.2) scrivere le espressioni di selezione semplificate delle memorie e dei dispositivi di I/O. (3 punti)

2.3) descrivere sommariamente, entro 1/2 facciata, le operazioni svolte dal software dal momento in cui la seriale ha ricevuto un carattere fino a che esso non è stato inviato alla periferica collegata all'8255. (3 punti)

#### Esercizio N. 3

3.1) descrivere, giustificando la risposta, quali condizioni devono essere soddisfatte affinché una CPU possa eseguire una istruzione per ogni ciclo di clock. (4 punti)

3.2) descrivere le tecniche per la gestione delle alee di dato. (4 punti)

3.3) descrivere i meccanismi di gestione a polling e interrupt delle interfacce di I/O e spiegare in quali casi sia più opportuno usare l'uno o l'altro. (4 punti)

CONSEGNARE ANCHE IL TESTO ASSIEME ALL'ELABORATO

Durante il compito non si può uscire dopo le ore 11:00

Consegnando un elaborato per la correzione decade la validità del voto precedente

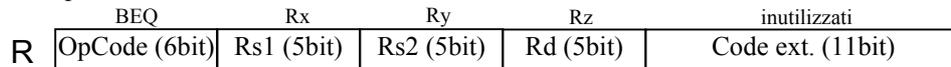
**Correzione dopo il 12/1/03; registrazione durante sessione primaverile**

I risultati, appena disponibili, saranno pubblicati in Segreteria e sul sito

<http://www.ingce.unibo.it> → selez. il proprio C.d.L. → piano degli studi → Calcolatori Elettronici L A

## SOLUZIONE del compito di Calcolatori Elettronici L A del 20/12/02

1.1) L'unico formato dell'ISA DLX che permette l'indirizzamento di tre registri è il formato "R", mostrato qui di seguito con un esempio di codifica dell'istruzione.



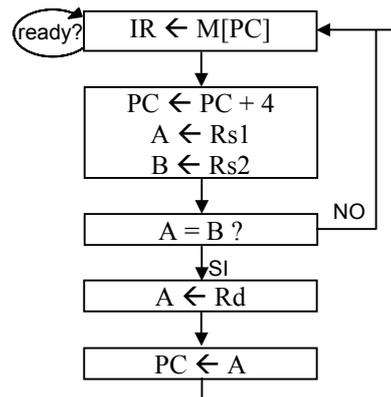
1.2) L'istruzione BEQ Rx, Ry, (Rz) prevede la sostituzione del PC calcolato al primo passo con il contenuto del registro Rz, appartenente al register file, se Rx = Ry (anch'essi del r.f.). Nella sintassi dell'istruzione, (Rz) è indicato tra parentesi per sottolineare il suo ruolo di "puntatore" alla cella della nuova area di memoria da cui prelevare codice nel caso in cui il branch fosse "taken". Se invece non si verifica la condizione, allora il PC resta al valore incrementato dopo il primo stato che punta all'istruzione successiva. Viene proposto uno dei possibili diagrammi degli stati che implementano questa istruzione:

1.3) Una possibile sequenza di istruzioni contenute nell'ISA DLX visto a lezione che implementi BEQ Rx, Ry, (Rz) è:

```

.....
SEQ Rk, Rx, Ry
BEQZ Rk, nosalto
J Rz
nosalto: .....
.....
    
```

1.4) CPI per branch taken = 6  
CPI per branch not taken = 4



2.1) T373=18ns, T245=10ns, Tpal=30ns  
Clock di sistema a 5 MHz: Tccl=200ns, Tclav=110ns, Tcrl=165ns, Tdvc=30ns

RAM: Tacc=270ns, Toe=160ns

$$(3+n) \cdot 200 \geq \max \begin{cases} 110+18+30+270+10+30 = 468 \\ 200+165+160+10+30 = 565 \end{cases} \quad \text{verificate per } n=0: 0 \text{ Tw}$$

EPROM: Tacc=120ns, Toe=30ns

$$(3+n) \cdot 200 \geq \max \begin{cases} 110+18+30+120+10+30 = 318 \\ 200+165+30+10+30 = 435 \end{cases} \quad \text{verificate per } n=0: 0 \text{ Tw}$$

Vedere schema per il circuito del ready e la connessione delle periferiche e delle memorie al bus di sistema.

2.2) Espressioni di selezione semplificate memorie:

$$\text{CSE0} = \text{BA19} \cdot \text{!IO/M\#}$$

$$\text{CSR0} = \text{!BA19} \cdot \text{!IO/M\#}$$

periferiche di I/O:

$$\text{CS8251} = \text{!BA15} \cdot \text{!BA14} \cdot \text{IO/M\#}$$

$$\text{CS8255} = \text{!BA15} \cdot \text{BA14} \cdot \text{IO/M\#}$$

$$\text{CS8259} = \text{BA15} \cdot \text{IO/M\#}$$

2.3) Quando l'8251 richiede il servizio dell'interrupt va in esecuzione la routine corrispondente che dopo aver salvato i sullo stack un registro di appoggio, eseguirà una istruzione IN di lettura all'indirizzo della porta di I/O a cui è stata mappata la seriale ed una istruzione OUT di scrittura all'indirizzo della porta di I/O a cui è stata mappata la parallela. A seguito della OUT verrà ripristinato dallo stack il valore precedentemente contenuto nel registro usato come appoggio tra la IN e la OUT. Infine l'istruzione IRET riporterà il controllo al punto in cui il programma principale era stato interrotto.

3.1) Per completare una istruzione per ogni ciclo di clock la CPU deve essere realizzata con la tecnica della pipeline che deve trovarsi a regime (cioè deve essere attiva almeno da K periodi di clock) e senza stalli. Il tempo di elaborazione necessario allo stadio più lento della pipeline deve essere minore o uguale al periodo di clock della corrispondente CPU non-pipelined. Ciò implica l'implementazione di una pipeline "bilanciata" (cioè scomposta in stadi che si suddividono equamente il carico computazionale) il cui fattore di speed-up rispetto alla corrispondente implementazione sequenziale sia pari al numero degli stadi K in cui quest'ultima è stata scomposta per realizzare la pipeline.

3.2) Le tecniche viste in questo corso per gestire le alee di dato nelle CPU con pipeline sono: inserimento degli stalli per mezzo di HDU, la tecnica del Forwarding e la tecnica del Delayed Load (vedere dispense per la descrizione).

3.3) L'uso del Polling è conveniente rispetto all'Interrupt quando la periferica è in grado di scambiare dati velocemente, rispetto al massimo data-transfer rate supportato dal µP. Viceversa interrogare a Polling una periferica che si prevede non- pronta per la maggioranza dei casi, comporta un notevole spreco di tempo e diventa più conveniente la gestione ad Interrupt, nonostante un singolo trasferimento ad Interrupt richieda più tempo di un analogo trasferimento a Polling.



## Calcolatori Elettronici L A

### Prova scritta del 20/12/'02

#### Esercizio N. 1

Si supponga di voler estendere il set di istruzioni del DLX con l'istruzione

BNEQ Rx, Ry, (Rz)

che confronta Rx con Ry ed esegue, in caso di disequaglianza, il trasferimento del controllo alla locazione di memoria puntata da Rz.

1.1) si mostri come potrebbe essere codificata la nuova istruzione utilizzando il più adatto tra i tre formati delle istruzioni del DLX. (1 punto)

1.2) con riferimento al datapath senza pipeline (sequenziale) del DLX visto a lezione si disegni il diagramma degli stati che controlla l'esecuzione della nuova istruzione inserendo anche gli stati necessari al fetch ed alla decodifica. (4 punti)

1.3) si scriva la sequenza di istruzioni appartenenti all'ISA del DLX studiata a lezione che risulta equivalente alla nuova istruzione BNEQ Rx, Ry, (Rz). (4 punti)

1.4) nell'ipotesi che gli stati con accesso alla memoria richiedano in tutto 2 cicli di clock (1 + 1Twait), si calcoli il numero di cicli di clock necessari alla nuova istruzione a seconda che il branch sia "taken" o "not taken". (1 punto)

#### Esercizio N. 2

Un sistema a microprocessore basato su 8088 a 8 MHz dispone di 32KB di Eprom (1 chip con Tacc=120 nsec, Toe = 30 nsec) agli indirizzi alti e 512KB di Ram (1 chip con Tacc=270 nsec, Toe = 160 nsec) agli indirizzi bassi. Il sistema è dotato di una interfaccia seriale 8251, di una interfaccia parallela 8255 e di un software che gestisce ad interrupt la ricezione di caratteri dalla seriale ritrasmettendoli sulla parallela. Per ipotesi, al momento della ri-trasmissione, il buffer di uscita della parallela è sempre vuoto e non è necessario eseguire il controllo del suo stato prima della scrittura.

2.1) disegnare lo schema del sistema e progettare il circuito per la generazione del segnale di READY nell'ipotesi che le periferiche di I/O non richiedano Twait. (5 punti)

2.2) scrivere le espressioni di selezione semplificate delle memorie e dei dispositivi di I/O. (3 punti)

2.3) descrivere sommariamente, entro 1/2 facciata, le operazioni svolte dal software dal momento in cui la seriale ha ricevuto un carattere fino a che esso non è stato inviato alla periferica collegata all'8255. (3 punti)

#### Esercizio N. 3

3.1) descrivere, giustificando la risposta, quali condizioni devono essere soddisfatte affinché una CPU possa eseguire una istruzione per ogni ciclo di clock. (4 punti)

3.2) descrivere le tecniche per la gestione delle alee di dato. (4 punti)

3.3) descrivere i meccanismi di gestione a polling e interrupt delle interfacce di I/O e spiegare in quali casi sia più opportuno usare l'uno o l'altro. (4 punti)

CONSEGNARE ANCHE IL TESTO ASSIEME ALL'ELABORATO

Durante il compito non si può uscire dopo le ore 11:00

Consegnando un elaborato per la correzione decade la validità del voto precedente

**Correzione dopo il 12/1/03; registrazione durante sessione primaverile**

I risultati, appena disponibili, saranno pubblicati in Segreteria e sul sito

<http://www.ingce.unibo.it> → selez. il proprio C.d.L. → piano degli studi → Calcolatori Elettronici L A

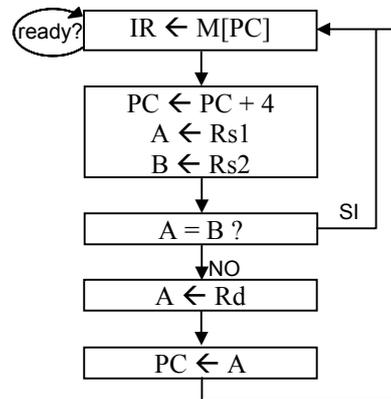
**SOLUZIONE del compito di Calcolatori Elettronici L A del 20/12/02**

**Di seguito si troveranno solo le risposte che sono diverse da quelle per la prima versione del testo. Per le altre risposte si veda la prima soluzione.**

1.2) L'istruzione BNEQ Rx, Ry, (Rz) prevede la sostituzione del PC calcolato al primo passo con il contenuto del registro Rz, appartenente al register file, se  $Rx \neq Ry$  (anch'essi del r.f.). Nella sintassi dell'istruzione, (Rz) è indicato tra parentesi per sottolineare il suo ruolo di "puntatore" alla cella della nuova area di memoria da cui prelevare codice nel caso in cui il branch fosse "taken". Se invece non si verifica la condizione, allora il PC resta al valore incrementato dopo il primo stato che punta all'istruzione successiva. Viene proposto uno dei possibili diagrammi degli stati che implementano questa istruzione:

1.3) Una possibile sequenza di istruzioni contenute nell'ISA DLX visto a lezione che implementi BNEQ Rx, Ry, (Rz) è:

.....  
 SNE Rk, Rx, Ry  
 BEQZ Rk, nosalto  
 J Rz  
 nosalto: .....  
 .....



2.1) T373=18ns, T245=10ns, Tpal=30ns

Clock di sistema a 8 MHz: Tccl=125ns, Tclav=60ns, Tcrl=100ns, Tdvc=20ns

RAM: Tacc=270ns, Toe=160ns

$$(3+n) \cdot 125 \geq \max \begin{cases} 60+18+30+270+10+20 = 408 \\ \text{verificate per } n=1: 1 \text{ Tw} \\ 125+100+160+10+20 = 415 \end{cases}$$

EPRM: Tacc=120ns, Toe=30ns

$$(3+n) \cdot 125 \geq \max \begin{cases} 60+18+30+120+10+20 = 258 \\ \text{verificate per } n=0: 0 \text{ Tw} \\ 125+100+30+10+20 = 285 \end{cases}$$

Vedere schema per il circuito del ready e la connessione delle periferiche e delle memorie al bus di sistema.

