

## Calcolatori Elettronici L A

### Prova scritta del 22/3/'04

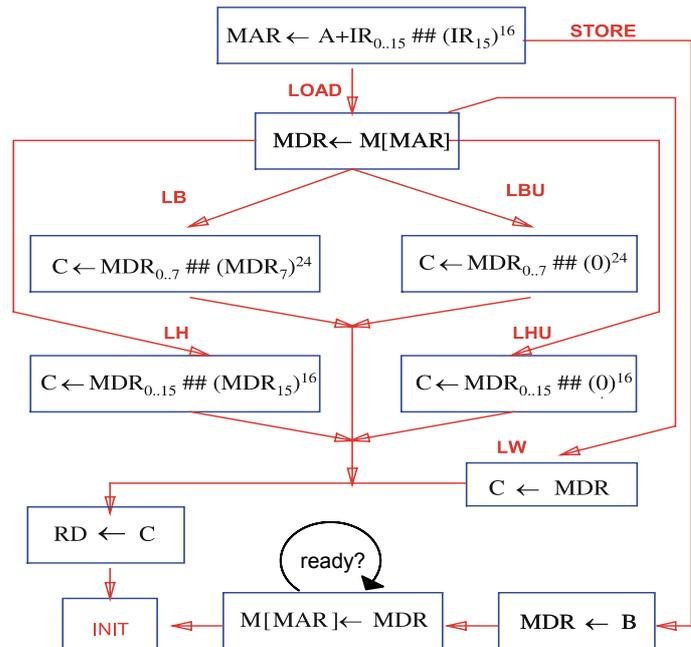
#### Esercizio N. 1 (13 punti)

Il diagramma visto a lezione e rappresentato nella figura accanto mostra gli stati per le istruzioni "data transfer" per il datapath del DLX senza pipeline (sono stati omessi gli stati di fetch e di incremento del PC). Risulta evidente l'eccesso di 1 ciclo di clock per le istruzioni LOAD rispetto alla STORE.

1.1) Proporre, evidenziandola sul disegno allegato, una modifica al datapath sequenziale del DLX che riduca di 1 clock il CPI delle LOAD, senza rinunciare agli allineamenti delle istruzioni LB/U, LH/U. (5 punti) Prendere spunto dalla LW cercando di ottimizzare per primi gli stati di quella istruzione.

1.2) Conseguentemente alla modifica proposta tracciare il nuovo diagramma degli stati delle LOAD e della STORE, completo degli stadi di fetch e di incremento del PC e calcolare i nuovi CPI delle LOAD e della STORE, trascurando eventuali Twait imposti dagli accessi in memoria. (3 punti)

1.3) Esplicitare le ipotesi (in particolare quelle relative alle temporizzazioni) che si ritengono necessarie affinché la modifica proposta possa funzionare. (5 punti)



#### Esercizio N. 2 (9 punti)

Un sistema a microprocessore basato su 8088 a 5 MHz dispone di 16KB di Eprom (1 chip visibile dall'indirizzo FFFFFh a scendere) e 64KB di Ram (2 chip a partire da 00000h). Il sistema trasmette dati su una linea seriale RS232 attraverso un'interfaccia 8251 gestita a polling.

2.1) Nell'ipotesi che solo l'8251 e la RAM richiedano 2 Tw, disegnare lo schema di progetto. (3 punti)

2.2) Scrivere le espressioni di selezione semplificate delle memorie e dei dispositivi di I/O. (3 punti)

2.3) Dire in quale istruzione è contenuto un errore nella routine a fianco che gestisce il polling dell'8251 e dire di quale errore si tratta. (3 punti)

```
wait_vuoto      IN AL, INDBASE51+1;
                TEST AL, 02H
                JZ wait_vuoto
                OUT INDBASE51, BL;
```

#### Esercizio N. 3 (9 punti)

3.1) Quale segnale è sicuramente presente in una architettura di microprocessore con spazi di I/O e memoria sovrapposti, rispetto ad una con spazio di I/O "memory mapped"? Di che tipo sono gli spazi di I/O dell'iA16 e del DLX? (3 punti)

3.2) Quale caratteristica hanno in comune due istruzioni assembler che eseguono una somma in due architetture di tipo "a stack" e "ad accumulatore"? (3 punti)

3.3) Per quale motivo esistono due cache (DM=dati e IM=istruzioni) nel datapath in pipeline del DLX? (3 punti)

### SCRIVERE IN MODO LEGGIBILE

Durante il compito non si può uscire dopo le ore 11:00

Consegnando un elaborato per la correzione decade la validità del voto precedente

**Correzione e registrazione il 26/3/04, ore 10:00 Via Rasi**

I risultati, appena disponibili, saranno pubblicati in Segreteria e sul sito:

<http://www.ing2.unibo.it> → Didattica → Lauree Triennali (selez. il proprio C.d.L.) → piano degli studi → Calcolatori Elettronici L A