

Calcolatori Elettronici L A

Prova scritta del 30/6/'03

Esercizio N. 1 (12 punti)

Sia dato un generico processore senza pipeline (sequenziale) il cui tempo di ciclo T_{p-seq} è 25ns.

1.1) Si applichi al processore appena descritto una pipeline a 5 stadi con latenze di 5, 7, 3, 6 e 4 ns. Si consideri che a valle di ogni stadio è presente un Pipeline Register la cui latenza è da sommarsi a quella intrinseca dello stadio: ciascun PR ha una latenza di 1ns. Qual è il tempo di ciclo T_p del processore risultante? (2 punti)

1.2) Ora si consideri che al suddetto processore sequenziale, sia applicata una pipeline con carico equamente suddiviso in 5 stadi. Considerando sempre i PR descritti al punto 1.1., calcolare il tempo di ciclo T_p del processore risultante. (2 punti)

1.3) Supporre infine di ripartire il processore sequenziale originario in una pipeline da 50 stadi e calcolare nuovamente il tempo di ciclo della pipeline, considerando gli stessi PR del punto 1.1. (2 punti)

1.4) Calcolare il tempo di permanenza di una singola istruzione T_A nel microprocessore sequenziale originale e nei tre processori “pipelined” definiti nel corso di questo esercizio. (3 punti)

1.5) Indicare quale parametro dà conto dell’effettivo vantaggio introdotto dalla pipeline applicata a un processore sequenziale e mettere in relazione le prestazioni dei tre processori pipelined rispetto a quello sequenziale. (3 punti)

(Riportare una traccia dei ragionamenti che conducono alle risposte)

Esercizio N. 2 (9 punti)

Un sistema a microprocessore basato su 8088 a 5 MHz dispone di 32KB di Eprom (1 chip agli indirizzi alti) e 256KB di Ram (un chip da 128 a partire dall’indirizzo 0h e l’altro con la cella ad indirizzo più alto corrispondente all’indirizzo di sistema 5FFFh). Il sistema è dotato di controllore di interrupt 8259 ai cui ingressi IR7, IR6, IR5 sono collegate altrettante periferiche in grado di richiedere servizi di interrupt.

2.1) Progettare il circuito per la generazione del segnale di READY nell’ipotesi che l’8259 richieda 3 Twait, e tutte le memorie 2 Twait. (3 punti)

2.2) Dire se un dispositivo che non richiede Twait debba comunque attivare l’ingresso READY, in che modo deve essere collegato e perché. (2 punti)

2.3) Scrivere le espressioni di selezione semplificate delle memorie e dei dispositivi di I/O. (2 punti)

2.4) Definire le parole di programmazione necessarie a far sì che l’8259 possa funzionare considerando il *livello* dei segnali presenti sugli IRn, che non ci siano altri PIC nel sistema, che la base per i vettori di interruzione sia il tipo “160”, che sia possibile il nesting degli interrupt, che non vi sia alcun buffer per il collegamento del dispositivo al sistema e che l’EOI interno al PIC sia automatico. (2 punti)

Esercizio N. 3 (12 punti)

3.1) Descrivere la gestione “vettorizzata” degli interrupt dell’Isa iA16. (4 punti)

3.2) Descrivere le funzioni del circuito integrato “8284” utilizzato -ad esempio- a corredo del processore 8088. (4 punti)

3.3) Con riferimento al diagramma della temporizzazione dei segnali, descrivere a parole le fasi ed i segnali principali del ciclo di lettura del processore 8088. (4 punti)

SCRIVERE IN MODO LEGGIBILE

Durante il compito non si può uscire dopo le ore 11:00

Consegnando un elaborato per la correzione decade la validità del voto precedente

Correzione e registrazione il 4/7/03, ore 15:00 Via Rasi

I risultati, appena disponibili, saranno pubblicati in Segreteria e sul sito:

<http://www.ing2.unibo.it> → Didattica → Lauree Triennali (selez. il proprio C.d.L.) → piano degli studi → Calcolatori Elettronici L A

SOLUZIONE del compito di Calcolatori Elettronici L A del 30/6/'03

1.1) Per calcolare il tempo di ciclo di una pipeline T_p si impone l'unicità del clock per tutti i suoi stadi, $T_p = T_{pi}$; da cui risulta che tutti gli stadi hanno la stessa latenza. Dato che non è possibile ridurre quella degli stadi più lenti, si considera proprio la latenza più alta, che è 7ns, per definire il periodo del clock comune a tutti gli stadi. Sommando a questo valore la latenza del PR si ottiene un tempo di ciclo T_p di 8ns. (2 punti)

1.2) Anche in questo caso va imposta l'unicità del clock, ma tutti gli stadi hanno lo stesso $T_{pi} = 5ns$ da cui risulta che il tempo di ciclo T_p , ottenuto sommando la latenza dei PR, risulta essere 6ns. (2 punti)

1.3) Questa risposta segue lo stesso ragionamento delle precedenti. In questo caso i 25ns del tempo di ciclo del processore sequenziale sono ripartiti tra 50 stadi. Assumendo che ciò possa avvenire in modo equilibrato, si ha che ogni $T_{pi} = 0.5ns$. Sommando a questo la latenza del PR si ha che $T_p = 1.5ns$. (2 punti)

1.4) Un processore senza pipeline esegue una istruzione per ogni T_p ed, essendo il tempo di ciclo $T_{p-seq} = 25ns$, in questo caso esso corrisponde alla latenza totale T_A del processore sequenziale. Per i processori dotati di pipeline la permanenza di una istruzione nel processore o latenza totale T_A si ottiene moltiplicando il tempo di ciclo T_p per il numero degli stadi. Perciò: il processore al punto 1.1 ha $T_A = 8 \cdot 5 = 40ns$, il processore al punto 1.2 ha $T_A = 6 \cdot 5 = 30ns$ ed il processore al punto 1.3 ha $T_A = 1.5 \cdot 50 = 75ns$. (3 punti)

1.5) Tale parametro è il Throughput ovvero il "numero di istruzioni completate al secondo" [ips] ed è definito come $Throughput = 1/T_p$ (allo stesso modo, per quelli pipelined vale anche $Throughput = Nstadi/T_A$). Mentre nel caso del processore sequenziale il Throughput è $1/25 \cdot 10^{-9} = 40 \cdot 10^6$ ips, per i tre processori pipelined esso sale nel primo caso a $1/8 \cdot 10^{-9} = 125 \cdot 10^6$ ips, nel secondo caso a $1/6 \cdot 10^{-9} = 166 \cdot 10^6$ ips mentre nel terzo a $1/1.5 \cdot 10^{-9} = 666 \cdot 10^6$ ips. Da quanto appena detto discende che gli speedup dei tre processori pipelined dei punti 1.1, 1.2, e 1.3 confrontati al caso sequenziale sono rispettivamente $125/40 = 3.125$, $166/40 = 4.15$ e $666/40 = 16.65$. (3 punti)

2.1) Vedere schema per il circuito del ready. (3 punti)

2.2) Il progettista che collega un qualsiasi dispositivo (di I/O o di memoria) al bus di sistema, deve sempre fare in modo che, prima o poi, al sistema giunga il READY. Se il dispositivo risulterà pronto a fornire dati -o ad essere scritto- prima che lo sia anche il μP , si farà in modo di fornire il READY al sistema non appena il dispositivo risulterà selezionato. In mancanza di questo accorgimento il sistema si bloccherebbe restando perennemente in attesa di ricevere il READY. (2 punti)

2.3) Espressioni di selezione semplificate. (2 punti)

memorie:

$$\begin{aligned} CSE0 &= BA19 \cdot !IO/M\# \\ CSR0 &= !BA19 \cdot !BA18 \cdot !IO/M\# \\ CSR1 &= !BA19 \cdot BA18 \cdot !IO/M\# \end{aligned}$$

periferiche di I/O:

$$CS8259 = IO/M\#$$

2.4) Parole di programmazione considerando dont care = 0:

$$ICW1 = X X X 1 1 X 1 1 = 1Bh$$

$$ICW2 = 1 0 1 0 0 X X X = A0h = 160$$

$$ICW4 = 0 0 0 1 0 X 1 1 = 13h$$

(2 punti)

3.1) Ogni μP sospende il flusso di programma per eseguire un codice specifico al sopraggiungere di una richiesta di interrupt. In particolare, nelle cpu iA16 il trasferimento del controllo alla routine di servizio è governato da un byte (vector type) emesso dal PIC e letto dal μP durante il ciclo INTA: tale vector type funge da puntatore alla tabella delle interruzioni (IVT) contenuta nelle prime 1024 celle di memoria e punta ad una delle sue 256 quaterne di byte contigue ciascuna delle quali definisce *segmento* ed *offset* in cui comincia il codice di servizio all'interrupt type. (4 punti)

3.2) L'8284 genera per l'8088 i segnali di READY, RESET e CLOCK. E' utile in quanto gestore delle molteplici sorgenti che contribuiscono a generare il READY e RESET. Essendo l'8284 il generatore di CLOCK, esso è utile anche perché in grado di "formare" i 3 segnali nel rispetto delle temporizzazioni e dei duty-cycle specifici richiesti dall'8088: il CLOCK può infatti essere generato dall'oscillatore al quarzo interno all'8284 e può anche provenire da un oscillatore esterno, ma deve comunque transitare nell'8284 per essere di riferimento alla generazione di READY e RESET e per essere a sua volta "formato" secondo specifiche dell'8088. (4 punti)

3.2) Sin dal principio del ciclo di lettura, sui pin dell'8088 sono generati gli indirizzi che sono campionabili stabilmente nei latch sul fronte di discesa del segnale ALE in modo da averli presenti sul bus di sistema fino all'ALE successivo. Viene generato il segnale DT/R# per la commutazione della direzione del transceiver 245 e poi vengono richiesti i dati alla periferica in lettura con l'attivazione di RD#. A questo punto si attiva DEN# che determina l'apertura del transceiver ed è tutto pronto per il campionamento sul μP dei dati in lettura che avviene -dopo il Tsetup del μP - sul fronte di discesa tra T3 e T4. (4 punti)

Schema compito Calcolatori Elettronici del 30/6/'03 - Domanda 2.1

